18

ELECTRONIC CONTROLLER

Patent number:

JP6149626

Publication date:

1994-05-31

Inventor:

SASAKI YOSHIHIRO

Applicant:

FUJITSU TEN LTD

Classification:

international:

G06F11/30; G06F11/00

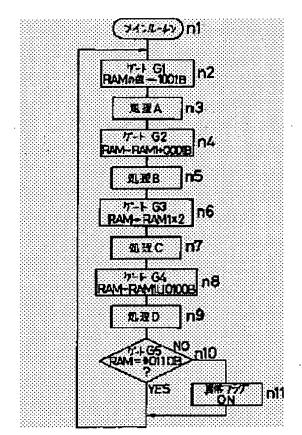
- european:

Application number: JP19920303927 19921113

Priority number(s):

Abstract of JP6149626

PURPOSE:To improve the reliability of an electronic controller by checking the functions of a CPU used for the control device, an ALU used in the CPU and a register part. CONSTITUTION:Arithmetic processing is executed in each plural gate processing inserted into a main routine to be executed by the CPU and processing results are successively stored (n2, n4, n6, n8). In the final gate, the stored values are compared with an expected value (n10, n11) to check the validity of the CPU, the ALU and the register part.



031356 U.S. PTO 10/759070

THIS PAGE BLANK (USPTO)

特因平06-149626

(IS) 会開特許公報(A)

(18)日本田松平斤 (JP)

特開平6-149626 (11) 布許出國公開番号

(43)公陽日 平成6年(1994)5月31日

技術表示值所

ᆵ

广左朝国争

9290-5B 7313-6B

305

G06F 11/30 11/00

(51)btC.

韓空間水 未額水 間水風の数1(全 8 頁)

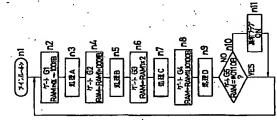
兵庫県神戸市兵庫区御町通1丁目2番28号 种产市兵庫区律所通1丁目2番28号 富士 (74)代理人 弁理士 西数 生一郎 富士通テン株式会社 留テン株式会社内 在女木 鐵勁 71)生國人 (72)発明者 平成4年(1992)11月13日 25505-1-1004 (21)出版部分 日期(22)

[54] 【発明の名称】 配子飼御数位

(57) [要約]

の中で使用されるALUおよびレジスタ部の機能をチェ [目的] 電子制御装置に用いられているCPUと、 ックし、信頼性の向上を図る。

とにより、前配CPUをはじめALU、レシスク部の機 された値と、期待値とを比較する (n10, n11) こ CPUが映行するメインルーチンに描入され た複数のゲート処理にとに、メインルーチンの処理手順 2, n 4, n 6, n 8)。 最終ゲートにおいて前記記録 に従って演算処理し、処理結果を順次配協させる (ロ 常の良否をチェックする。 [無政]



「請求項1】予め定めるプログラムに従って制御が行わ 1.6年子制卸被国において、 特許額次の復開

処理の順序によって結果が異なる予め定める複数の演算 5理を、プログラム実行中に処理が必ず行われる箇所に 比較結果が不一致のとき異常状態であると判断する監視 心理手段の資算処理結果を予め定める期待値と比較し、 **申入して、予め定める顧序で実行する処理手段と、**

[免明の詳細な説明] [0001]

F段とを含むことを特徴とする電子制御装置。

「産業上の利用分野】本発明は、配子制御装配、特に自 3砂断機能を有する低子樹御装置に関する。

[0002]

「るプログラム中に、当該プログラムを所定の順序とお)、 即ち数定されたステップにしたがって 東行したかど いかを確認するための処理プログラムを、低子制御被置 5手法が用いられる。このような所定のステップに対応 **(従来の技術】 たとえば、自動車にはマイクロコンピュ** - 夕を用いた電子制御装置が搭載され、燃料噴射制御な このエンジン体統や、サススンション哲質などの走行を **兆の制御を行わせており、亀子制御装置への依存度が高** tっている。したがって、それぞれの低子倒御被留の製 作を監視し、確認することは、安全運転上、絶対に必要 F可欠であり、とりわけマイクロコンピュータを構成す **もCPUが、不遡の原因により暴走するようなことがあ** ってはならず、その場合には即時にこれを検出し、異常 /報知されなければならない。このため、CPUが実行 **女来の動作プログラムに付加し、CPUの動作を確認す** 、て挿入される動作チェックのための処理プログラム を、一般にゲートと称する。

ゲートGによる処理が設けられ、ゲートGのプログラム [0003] 図10は、プログラムとゲートの関係を示 トフローチャートである。一つのメインジーチンは、凶 型A, B, C, Dの4つの動作プログラムと、それぞれ **,一トG5の5回のゲートプログラムから成り、処理A** ◆Dのプログラムが所定回数機返されるものとする。そ 2のステップと考える。図10から明らかなように、た ログラムを実行した後、次の処理Bのプログラムに進む らめには、その間に必ずゲート G2のステップを通過し なけたばならない。 即も1 しの処態が終むした次の処態 に移るために必ず通らなければならないステップ国所に により当該ゲートを通過したことを表す処理結果が配燈 され、後段でゲート通過数がチェックされるようになっ 、G1~G5は、いずれも枠内には当然に複数のステッ こ対応して設けられた4個のゲートの1, G2, G3, G4(統称するときはゲートGという)と、1個の判断 7を含むものであるが、ここでは便宜上、1つの枠を1 nぞれに枠で囲んで示された4つの処理A~Dと、ゲー とえば電子制御装置本来の動作の1つである処理Aの7

グラムが実行されると、ステップm6でRAMの値にさ のエリアに「1」が徴き込まれ、ゲートG1を通過した ことが記憶される。ゲートG1を通過するとステップロ 3 に進み、処理Aのプログラムが実行される。次いでス テップロ4に逝みゲートG2によって前配RAMの値に しひ3によって行われる。これによってゲートG2を通 らに「1」が加算され、「3」となる。次のステップロ こよる処理で、RAMには「4」が記憶される。ステッ ステップ田2でゲートG1の処理により、RAMの所定 「1」が加算され、「2」が記憶される。加算は前記A 過したことが記憶される。ステップロ5で処理Bのプロ 7で処理のが実行されると、ステップ田8でゲートG4 プロ9で処理Dが実行された後ステップロ10で、判断 [0004] ステップ 目1 たメインルーチンに入ると、 ゲートG5により前配RAMの値が、所定値である

5。このようにして、ゲートGでの処理によって常に既 子側御装屋の敷作が所定のステップを通過したかどうか されてステップm2へ戻り、「4」でなければ所定のグ **-ト数ではないため異常と判断されてステップロ11~** 「4」になっているかどうかがチェックされる。「4」 であれば 4 個のゲートG 1 ~G 4 を通過して圧併と判断 移って異常フラグが0Nされた後にステップm2へ戻 が確認される。

[0005]

ト通過ごとに 1を加えて記憶するといった単純な処理に ?、ミスステップして、処理A→C→D→Bと進んだ協 合でも、RAMには「4」が記憶されるので、正常と判 1、 アジスタ部などのチェックは行われていない。この こめ電子制御装置内のCP Uの動作をチェックする上で 先行技術による電子慰御装置でのチェック動作は、ゲー 過ぎず、このため順序とおりにステップを通過したかど **もかにしこての当世できない。 たとえばなんらかの原因** 【発明が解決しようとする課題】しかしながら、上述の 析されてしまう。また先行技術ではCPU内部のAL

で行われているかどうかをチェックすることができ、さ [0006] 本発明の目的は、前述の問題点に鑑みてな されたものであって、色子制御装置の動作が正しい順序 らに该算処理のチェックもあわせて行えるようにするこ 問題がある。 てんちる。

て、処理の順序によって結果が異なる予め定める複数の 資弊処理を、プログラム安行中に処理が必ず行われる箇 比較結果が不一致のと食異常状態であると判断する監視 【課題を解決するための手段】本発明は、予め定めるフ **新に挿入して、予め定める順序で実行する処理手段と、** 処理手段の演算処理結果を予め定める期待値と比較し、 ログラムに従って即倒が行われる鬼子街踏弦配におい [0007]

手段とを含むことを特徴とする電子制御装置である。

序または演算処理が正しく行われていないので、異常が せ、その演算結果と期待値とを、監視手段によって比較 とき異常状態であると判断する監視手段とを含む。処理 結果を予め定める期待値と比較し、比較結果が不一致の 定める順序で実行する処理手段と、処理手段の演算処理 ラム実行中に処理が必ず行われる箇所に挿入して、予め って結果が異なる予め定める複数の演算処理を、ブログ する。比較結果が不一致のときは、プログラムの実行順 手段は処理の順序によって結果が異なる演算処理を行わ 【作用】本発明による電子制御装置は、処理の順序によ

タ1は、CPU2、ROM, RAMなどのメモリ部7、 を出力し、メータ指示やランプ点灯などの警告動作を行 グラムに従って実行される。プログラムの過程で異常と して前記入/出力インターフェース9,10にそれぞれ 置の構成を示すプロック図である。 マイクロコンビュー 判断されると、CPU2は表示的11に対してアラーム チュエータ13によるフィードバック慰御が所定のプロ 接続されている。 CPU2と前記各プロック間には、バ アクチュエータ13が、ワイヤハーネスL2,L3を介 ンジンなどの制御対象に配置された複数のセンサ12と 警告ランプやメータなどの表示部11から構成され、エ インターフェース 9、出力インターフェース 1 0 および Ⅰ/〇ポート8など、集積化された各ブロックと、入力 【実施例】図1は、本発明の一実施例による電子制御装 スラインL1が配設され、センサ12-CPU2-アク

部4、RAM5、倒御部6などから構成される。 算術質 定のメモリセルに記憶される。レジスタ部4には、アキ れされ、 演算結果はRAM5あるいはレジスタ部4の所 ュムレータやフラグフリップフロップなどにより構成さ 理演算部(以下、ALUという)3は、図示しないアキ リセルを呼び出すX、Yレジスタが含まれる。 ユムレータAcや、X, Y番地を指定して対応するメモ 算を行う。演算過程でのデータはレジスタ部4に出し入 れ、2進数による算術演算とAND,ORなどの論理设 【0010】CPU2は、鮮海福風波算部3、レジスを

処理プログラムとを含む。本実施例では、処理手段であ ら成る4つのプログラムと、その間に挿入された4つの る。メインルーチンは、たとえば処理A, B, C, Dか 5により比較し、比較結果が不一致のとき異常と判断す め定められた期待値とを、監視手段である判断ゲートの 理プログラムによる演算処理を行い、その演算結果と予 る複数のゲートロ1~4ごとに予め設定されたゲート処 Gという)と、1つの料節ゲートG5の計5つのゲート ゲートG1, G2, G3, G4 (総称するときはゲート エックする動作を説明するためのフローチャートであ 【0011】 図2は、図1に示す実施例のCPU2を5

るのである。演算には前配ALU3とレジスタ部4が用

ログラムに基づく動作が実行されると、ステップロ4に い所定のメモリエリアに書き込まれ、ゲート61を通過 す)」がRAM5のうちでメインルーチンには使用しな り、ステップロ2でゲート1による処理が行われ、予め 加算される算術演算が予め設定されており、RAM5の RAM5のメモリエリアの値 (1001B) に「1」が 進んでゲートG2による処理が行われる。ここでは前記 定められたコード「1001B(Bは2進表記を示 する。ステップn1でメインルーチンの実行手順に入 メモリエリアの値は「1010B」に更新される。これ したことが記憶される。次のステップロ3で処理Aのフ 【0012】図1のブロック図をあわせて参照して説明 によりゲートG2を通過したことが記憶される。

おり、RAM5のメモリエリアの値は「0100B」に 処理が行われる。ここではRAM5のメモリエリアの値 実行されると、ステップロ8に進んでゲートG3による 行されると、ステップロ8に進んでゲートG4による処 憶される。次のステップn7で処理Cのプログラムが実 更新される。これによりゲートG3を通過したことが記 で、処理Dのプログラムが実行されたると、ステップロ とる論理演算が設定されており、RAM5のメモリエリ 理が行われる。ここでは予め定められた値0010B る。なお、異常フラグとしては、RAM5の中の特定の る。不一致の場合には、メインルーチンが正しい順序で は、RAM5のメモリエリアには既待値と同一の「01 アの値は「0110B」に更新される。 これによりゲー と、RAM5のメモリエリアの値0100BとでORを 【0013】次のステップロ5で処理Bのプログラムが メモリセルを使用する。 へ移って異常フラグがONされた後、ステップn2へ戻 実行されなかった異常状態と判断され、ステップ n 1 1 のメモリエリアの値とが一致すればステップロ2へ戻 10B」が記憶されている筈であり、期待値とRAM! れまで述べたように、 ステップを原序とおりに通過すれ 10に進み、判断ゲートの5による処理が行われる。こ トG4を通過したことが記憶される。次のステップn9 (1010B)が2倍される算術演算が予め設定されて

期待値とは一致せず、ただちに異常が発見されるのであ 技術のように、単に1を加算して判断する方法とは異な めて期待値を設定し、一方ステップが進行して最終ゲー りに実行されたかどうかを的確にチェックでき、プロク る。これによりプログラムが所定のステップで順序とお り、正常か異常かを判断するのである。したがって先行 ラムの最近などを選やがご数的することができる。 トロ5で、得られた値を前記期待値と比較するとによ 【0014】このように本実施例では、ゲートロ1~4 **ごとに、定数と、算術演算と、論理演算の順序を予め定** 一つでもプログラムの実行順序が異なれば、絶対に

> いても同様である。通過回数に対応してステップ p3, が用いられる。ゲートG1の通過が1回目であれば、ス 御部6は今回のゲートG1通過が回回目であるかを判断 ラムが進行し、ステップp1でゲートG1に入ると、制 機能が正常かどうかを判断するチェック機能を備えてい 目であるステップp7ではRの値とたとえば定数「10 回目であればステップp7に進む。それ以上の回数につ テップp3に進み、2回目であればステップp5に、 する。通過回数の判断にはたとえば図示しないカウンタ ラムが含まれるメインルーチンを想定している。 プロク る。ここではゲートGを繰り返し何回か通過するプログ る。図3と図4は、その動作を示すフローチャートであ する演算手順とその結果に基づいて更新されたRの値 01B」とのANDがとられる。このように回数に対応 目であるステップp5では、Rの値が2倍される。3回 とえば1回目であるステップp3では、RAM5内に予 p5,p7,…での演算手順が予め定められており、た 【0015】本皮施例では、前記演算を行うALU3の (1, 2, 3, …) が記憶され、ステップp8で次のプ め定められたエリアRの値に「1」が加算される。2回

回目であればステップQ4からステップQ5に、3回目 Nと比較される。これを図4で説明する。前述したよう タなどにより記憶されている。ステップq1でゲートG に、ゲートG1~4を通過することに、RAM5のRの 1, R2, R3, …が、次に迫くるゲートロ5で競符値 1,2,3,…に対応する最終の演算結果である値R **演算結果であり、これと期待値N1, N2, N3, …と** TRAM50ROM (1, 2, 3, ...) tt, ALU30 ステップq8に移って異常フラグがONされる。その他 N1, N2, N3, …とを比較する。両者が一致すれば 5, q7, …で制御部6は、前記した値Rと前記期待値 2, N3, …が予め設定されており、ステップロ3, ロ む。ゲートG5の通過回数に対応する期待値N1, N であればステップ q 6 からステップ q 7 にそれぞれ通 通回数を購入、1回目であればステップQ3に進ぶ、 5に入ると、ステップQ2で影響部8はゲートG5の通 値が更新され、またゲートG1~4の通過回数がカウン ックされ、異常フラグがONされれば、ALU3に異常 を比較することによって、ALU3の機能の良否がチェ の回数に対応するステップについても同様である。ここ ステップQ9で次のプログラムに進む。不一致であれば U2を構成するALU3の機能の良否もチェックするこ は、CPU2のステップ動作の良否だけではなく、CP が生じていることが検知される。このように本実施的で

れるXおよびYレジスタが含まれる。CPU2には、レ する機能を備えている。レジスタ部4では、図5で示さ 【0016】本実施例は、またレジスタ部4をチェック

> られている。 Xを1, 2, 3, 4と頃次変化させ、Yは M (1, 1) が呼び出される。したがってXを前記のよ る。たとえばX=1, Y=0001Bならばメモリセル 0001B, 0010B, 0100B, 1000Bol ジスタX,Yを用いてメモリをアクセスする命令が備え ば、4つのゲートG1~4を通過する際に異なるメモリ うに変化させ、Yのどれかの桁を1にして番地指定すれ セルを特定できる。 (2, 2), M(3, 4), M(4, 8)が選択され 炮指定すれば、対応するメモリセルM(1, 1), M シア4 アットのうちのどわがな「1」 としたコード 6輪

いて説明する。図6~図9は、その動作を説明するため のフローチャートであり、図6はゲートG1を、図7は 際の動作を示している。メモリセルはチェック動作開始 ゲートG2を、図8はゲートG3を、それぞれ通過する の際には0にクリアされる。 【0017】次にレジスタ部4をチェックする動作につ

Y)に内容が転送される。転送が終われば、ステップr r 6で前記アキュムレータA cからメモリセルM (X, Yレシスタに対してX=1, Y=1を設定し、ステップ Oにクリアされ、ステップr3でアキュムレータAck 1に入り、ステップr2でアキュムレータAcの内容が 行する。動作が正常なら、メモリセルM(1,1)には 1が加えられる。次いでステップァ4, ァ5で前記X, 7でゲードG1から処理Aなどの次のステップ創作に移 【0018】図6を参照して、ステップr1でゲートG 「1」が記載されている。

ログラム、たとえば処理Aに進む。以下、ゲートG2,

G3, …, ごとに同様手順の演算が行われ、通過回数

ルに内容が転送される。転送が終わればステップァイで s 6, s 7でX=2, Y=2と設定され、ステップs 8 アキュムレータAcに1が加えられる。 次いでステップ 内容がアキュムレータAcに転送され、ステップ85で =1, Y=1と設定され、ステップ84でX; Y番塩の る。動作が正常なら、メモリセルM(2, 2)には でアキュムレータAcからX、Yで指定されるメモリセ プョ1でゲートG2に入ると、ステップs2, s3でX ゲートG1から処理Bなどの次のステップ製作に移行す 【0019】図7はゲートG2での動作を示す。ステッ

容が転送される。転送が終わればステップ t 8 でゲート される番地の内容がアキュムレータAcに転送される。 は、前述までの動作と同様であって、ここでは動作が正 されている。なお次のゲートは4を通過する際の動作 G3から処理Cなどの次のステップ製作に移行する。倒 ステップ t 8 でアキュムレータ A cからメモリセルに内 次のステップt 6, t 7でX=3, Y=4と設定され =2, Y=2と設定され、ステップも4でX, Yで指定 プt1でゲートG3に入ると、ステップt2, t3でX 作が正常ならメモリセルM(3, 4)には「3」が記憶 ステップ t 5 でアキュムレータ A c に 1 が加えられる。 【0020】図8はゲートG3での動作を示す。ステッ 「2」が記憶されている。

特開平06-149626

9

名なら、メモリセルM(4,8)に「4」が配換されて ゲートG4を過過するのであり、そこにいたるまでの動 作数用は省略する。

ートを通過する際のX, Yレジスタによる毎地指定機能 ップn8 A 次のメインテーナンへの移行などの場合には がONされた後にステップ8に流む。これによって、ゲ [0021] 本実施例では、このように1のゲートを通 過する際に、当散ゲートに対応するメモリセルにアキュ ムレータAcの値を配憶させ、ゲート通過ごとに1を加 に「4」が配稿されていれば、レジスタ部4の動作には 発布がないことが確認されるのである。 図9 はその動作 をボナフローチャートである。 哲述のゲートロ1~G4 からそれに続く処理Dのプログラムが実行され、ステッ プロ1でゲートG5に入ると、ステップロ2で包御四6 は、メモリセルM (4,8)の内容を詰出し、「4」か アシかを聞くる。4であれば圧終と判断され、ステッフ u3~u6で前記メモリセルはすべてクリアされ、ステ いることになる。ただしステップu2で4でない場合に は、異常と判断されてステップu7に移り、異常フラグ **買して内容を更新させるようにしている。したがって、** 最終ゲートG4を通過した際にメモリセルM(4,8) のチェックが行われる。

成するCPUおよびCPUの動作に不可欠なALUお けれども、本発明はこれに限定されるものではない。ま め、ゲート通過に磨してこれも3つのチェックを適宜超 よびレジスタ部のチェックが、簡単な処理を付加するだ けで正確に行うことができ、电子制御装置に依存するシ 【0022】哲述の既明では、メインルーチンを4つの から成り、またゲートを複数回通過する場合を想定した レジスタ節の3つのチェック動作に分けて説明したけれ トバとに少数の処理しか行わないので所要時間は値から のである。このように本発明によれば、電子制御装置を 処理プログラムと4つのゲートおよび1つの判断ゲート み合わせ、あるいは同時に行うようにしてもよい。いず れの場合もチェックのために必要なプログラムは各ゲー あり、電子街卸装置の本来の動作には影響を与えないも た本発明の要旨をCPUのステップ動作と、ALUと、 ども、これらをゲートごとに共通のプログラムにまと ステムの宿飯性をさらに向上させることができる。 (税明の効果) 以上のように、本税明による航子制御被 匿は、予め定める複数の減算処理を予め定める順序で行う処理手段と、処理手段の消算処理結果を予め定める期 特値と比較し、比較結果が不一致のとき異常状態である

と判断する医徒手段とを設け、処理の順序によって結果 が異なる演算処理を行わせ、その演算結果と期待値とを 比較し、比較結果が不一致のと音異常と判断するように したので、電子制御装置を構成するCP UおよびCP U の動作に不可欠な A L Uおよびレジスタ部などのチェッ クが、簡単な処理を付加するだけで正確に行うことができ、電子検御装置に依存するシステムの信頼性を含ら 向上させることができ、効果大なるものである。 [図画の簡単な説明] |図1] 本発明の一実施例による電子制御装置の構成を

ドナブロック図である。 【図2】図1に示す実施例のCPUの

【図2】図1に示す実施例のCPUのステップ動作をチェックする動作を説明するためのフローチャートであ

【図3】図1に示す演算部の機能をチェックする動作を tすフローチャートである。

示すフローチャートである。 【図4】図1に示す実施例の该算部の機能をチェックす

【囚4】囚11元934回20日本中の内部のフェッン。 5判所ゲートの動作を示すフローチャートである。 【囚5】囚11元寸実施例のレジスク部に会まれるX、

「レジスタの機能を示す図である。 【図6】図1に示す実施例のレジスタ部の機能をチェッ

7寸るための動作を示すフローチャートである。 【図7】図1に示す実施例のレジスタ部の機能をチェン

ケするための動作を示すフローチャートである。 【図8】図1に示す実施例のレジスク部の機能をチェッ

【図8】図1に示す実施网のレジスク部の機能をチェッナるための動作を示すフローチャートである。【図9】図1に示す実施例のレジスク部の機能をチェッ

rするための動作を示すプロック図である。 [図10] 先行技術による亀子樹原់装置のCPUの動作 :チェックするための動作を示すフローチャートであ

(布号の説明)

1 電子制御装置

2 CPU

3 算術物理演算部4 レジスタ部

5 RAM 6 超知部 Ac アキュムレータ G1~G4 ゲート G5 対断ゲート

(0023)

M (1, 1), M (2, 2), M (3, 4), M (4, 8) メモリセル

BETTON 98

NEXT

| (23 1) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (23 2) | (



